

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication
number:
(43)Date of publication of application:
11.07.2001

1020010064908 A

(21)Application number: 1019990059330

(71)Applicant:

(22)Date of filing: 20.12.1999

AMKOR TECHNOLOGY
KOREA, INC.

(72)Inventor:

KO, CHANG HUN

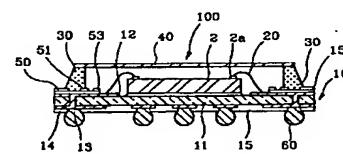
(51)Int. Cl

H01L 23 /04

(54) SEMICONDUCTOR PACKAGE

(57) Abstract:

PURPOSE: A semiconductor package is provided to protect each circuit pattern, restrict mold flash, and enhance an adhesive strength between a dam and a circuit board when forming the dam to load a glass. CONSTITUTION: A multitude of input/output pad(2a) is formed on one side of a semiconductor chip(2). The semiconductor chip(2a) is adhered to a circuit board(10). A circuit pattern including a multitude of bond finger(12) is formed on an upper face of the circuit board(10). A circuit pattern including a multitude of land(13) is formed on a bottom face of the circuit board(10). A conductive via hole(14) connects the circuit pattern of the upper face with the circuit pattern of the bottom face. The whole circuit pattern is coated by a cover coat(15). A conductive wire(20) connects electrically the input/output pad(2a) with the bond finger(12). A dam(30) is formed on the circuit board(10) corresponding to an outer circumference of the semiconductor chip(2). A glass(40) is adhered to an upper face of the dam(30). A conductive ball(60) is formed on the land(13). A multitude of ring(50,51) is formed on an upper face of the cover coat(15) corresponding to an outer circumference of the bond finger(12). The dam(30) is formed between the rings(50,51) by using an encapsulant.



Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
 H01L 23/04

(11) 공개번호 특2001-0064908
 (43) 공개일자 2001년 07월 11일

(21) 출원번호	10-1999-0059330	(11) 공개번호	특2001-0064908
(22) 출원일자	1999년 12월 20일	(43) 공개일자	2001년 07월 11일
(71) 출원인	엠코 테크놀로지 코리아 주식회사 광주 북구 대촌동 957	마이클 디. 오브라미언	
(72) 발명자	고창훈		
(74) 대리인	경기도 광명시 하안동고 총주공아파트 913-1002 서만규		

설명구 : 있음

(54) 반도체패키지

요약

이 발명은 반도체패키지에 관한 것으로, CCD용 반도체칩을 탑재한 반도체패키지에서 글래스를 장착하기 위한 멤 형성시 회로기판의 각종 회로패턴을 보호하는 물류 플드 플레이시를 억제하고 또한 멤과 회로기판 사이의 접착력을 향상시키기 위해, 일면에 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저 면에 접착재로 접착되어 있어, 수지층을 중심으로 상면에는 다수의 본드핑거를 포함하는 회로패턴이 형성되어 있고, 저면에는 다수의 랜드를 포함하는 회로패턴이 형성되어 있으며, 상기 상, 하면의 회로패턴은 도전성 비아홀로 상호 연결되고, 상기 본드핑거 및 랜드를 제외한 회로패턴 전체는 커버코트로 코팅된 회로기판과; 상기 반도체칩의 입출력패드와 상기 회로기판의 본드핑거를 전기적으로 접속하는 도전성와이어 와; 상기 반도체칩의 외주연인 회로기판 상면에 대략 상기 도전성와이어의 루프 높이보다 높게 형성된 멤과; 상기 반도체칩으로 외부의 빛이 수광될 수 있도록 상기 멤의 상면에 접착된 글래스와; 상기 회로기판 하면의 랜드에 형성된 도전성볼로 이루어진 반도체패키지에 있어서, 상기 회로기판의 본드핑거 외주연인 커버코트 상면에는 다수의 링이 일정 간격을 두고 형성되어 있고, 상기 링의 상면 일정 영역을 포함하여 상기 링 사이에 멤이 형성된 것을 특징으로 함.

도표도

도1a

도1b

도2a

도2b

도면의 간단한 설명

도1a 및 도1b는 증례의 반도체패키지를 도시한 단면도 및 사시도이다.

도2a 및 도2b는 본 발명에 의한 반도체패키지를 도시한 단면도이다.

- 도면증 주요 부호에 대한 설명 -

100, 101: 본 발명에 의한 반도체패키지

2: 반도체칩 2a: 입출력패드

10: 회로기판 11: 수지층

12: 본드핑거 13: 랜드

14: 비아홀 15: 커버코트

20: 도전성와이어 30: 멤

40: 글래스 50, 51: 링

53: 제3링 60: 도전성볼

도면의 간단한 설명

도형의 특징

도형이 속하는 기술분야 및 그 도면의 종류기술

본 발명은 반도체패키지에 관한 것으로, 보다 상세하게 설명하면 CCD용 반도체칩을 탑재한 반도체패키지

에서 글래스를 장착하기 위한 댐 형성시 회로기판의 각종 회로패턴을 보호함은 물론 롤드 플래시를 억제하고 또한 맴과 회로기판 사이의 접착력을 향상시킬 수 있는 반도체패키지에 관한 것이다.

통상 CCD는 Charge Coupled Devices의 약어로 반도체 소자의 일종인 전하결합 소자를 말하며 하나의 소자로부터 인접한 다른 소자로 전하를 전송할 수 있는 소자를 말한다. 텔레비전 카메라의 영상신호 계통에서 페사체의 빛은 렌즈를 통과한 후 색분해 광학계에 의해 3원색으로 분해돼 각각 활성 디바이스의 수광면에 결상되는데 그 상을 소자내에서 전자적으로 주사해 전기신호로 변환시켜 출력하는 소자가 고체활성소자이다. 이러한 CCD의 응용분야는 활성디바이스, 대용량메모리, 아날로그 신호처리의 세가지이며 구조적으로는 MOS집적회로기기 때문에 MOS프로세스 기술을 사용해 고전적회로(LSI)하도 용이하다. CCD는 특히 자기주사 기능과 광전반환 기능을 함께 갖추고 있기 때문에 활성디바이스에 주로 활용되며 일차원의 라인센서와 이차원의 메이리어 센서가 있으며 그 화소수는 일반적으로 라인센서는 1,500화소, 메이리어센서는 512 × 320화소의 것이다.

상기한 CCD 소자가 다수 형성된 CCD용 반도체칩을 탑재한 반도체패키지는 통상 그 반도체칩이 외부의 빛을 수광할 수 있도록 반도체칩의 상면에 글래스가 위치되어 있으며, 이러한 증대의 반도체패키지(100')를 도1a 및 도1b를 참조하여 간단히 설명하면 다음과 같다.

먼저 일면에 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어 있다. 상기 반도체칩(2)의 저면에는 접착제에 의해 회로기판(10)이 접착되어 있다. 상기 회로기판(10)은 수지층(11)을 중심으로 상면에는 다수의 본드핑거(12)를 포함하는 회로패턴이 형성되어 있고, 저면에는 다수의 랜드(13)를 포함하는 회로패턴이 형성되어 있으며, 상기 상, 하면의 회로패턴은 도전성 비마홀(14)로 상호 연결되어 있다. 또한 상기 상면의 본드핑거(12) 및 저면의 랜드(13)를 제외한 모든 회로패턴은 커버코트(15) 등으로 코팅되어 있다.

한편, 상기 반도체칩(2)의 입출력패드(2a)와 상기 회로기판(10)의 본드핑거(12)는 도전성와이어(20)에 의해 전기적으로 접속되어 있다.

또한, 상기 반도체칩(2)의 외주연 즉, 본드핑거(12)의 외주연에는 회로기판(10)의 상면에 대략 상기 도전성와이어(20)의 루프 높이보다 높게 맴(30)이 형성되어 있으며, 상기 맴(30)에는 반도체칩(2)으로 외부의 빛이 수광될 수 있도록 투명체의 글래스(40)가 접착되어 있다. 더불어 상기 회로기판(10)의 저면인 랜드(13)에는 다수의 도전성볼(60)이 형성되어 있다.

여기서, 상기 맴(30)은 통상 세라믹, 수지류, 금속류 및 봉지재 중 어느 하나로 형성되며, 최근에는 가격이나 제조상의 잇점으로 인해 봉지재를 주로 사용한다. 즉, 상기 회로기판(10)에 반도체칩(2) 등을 접착하기 전에 미리 글형 및 봉지재를 이용하여 상기 반도체칩(2)의 외주연 즉, 회로기판(10)에서 본드핑거(12)의 외주연에 일정높이의 맴(30)을 형성한다. 상기와 같이 맴(30)이 형성된 후에는 통상적으로 실시되는 반도체칩 접착, 와이어 본딩 공정 등을 수행하고 있다.

그러나 상기 글형 및 봉지재를 이용하여 맴을 형성하는 공정중에 상기 봉지재에 의해 회로기판의 본드핑거가 오염되는 경우가 있다. 즉, 상기 봉지재는 고압으로 글형내에 충전되기 때문에 상기 압력을 의해 봉지재가 글형과 회로기판의 접촉 부분에서 가장 약한 부분을 따라서 외부로 약간씩 분출하게 된다. 상기와 같이 사용자의 의도와는 상관없이 회로기판의 일정 영역으로 분출된 봉지재를 통상 롤드 플래시로 한다.

상기와 같은 롤드 플래시가 본드핑거 상면에 형성되면 상기 반도체칩의 입출력패드에 본딩된 도전성 와이어의 타단이 상기 본드핑거에 본딩되지 않게 되어 반도체패키지의 불량을 야기하게 된다.

또한, 상기 회로기판의 구조는 일반적인 리드프레임의 경우와는 달리 각종 회로패턴의 유무, 커버코트의 두께 편차 등에 의해 그 면이 고르지 않아 상기와 같은 롤드 플래시가 더욱 잘 발생하는 문제점이 있다.

이와 같은 롤드 플래시를 억제하기 위해 상기 글형과 상기 회로기판의 접촉 압력을 높이는 수가 있는데 이를 경우에는 상기 글형에 의해 회로기판의 각종 회로패턴들이 끊어지거나 또는 서로 쇼트되는 문제점도 있다.

더불어, 상기 봉지재로 형성되는 맴은 직접 상기 회로기판의 커버코트 등에 접착됨으로써 그 접착력이 매우 서초한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 증대의 문제점을 해결하기 위해 만출한 것으로, CCD용 반도체칩을 탑재한 반도체패키지에서 글래스를 접착하기 위한 댐 형성시 회로기판의 각종 회로패턴을 보호함은 물론 롤드 플래시를 억제하고 또한 맴과 회로기판 사이의 접착력을 향상시킬 수 있는 반도체패키지를 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 일면에 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착되어 있고, 수지층을 중심으로 상면에는 다수의 본드핑거를 포함하는 회로패턴이 형성되어 있고, 저면에는 다수의 랜드를 포함하는 회로패턴이 형성되어 있으며, 상기 상, 하면의 회로패턴은 도전성 비마홀로 상호 연결된 회로기판과; 상기 반도체칩의 입출력패드와 상기 회로기판의 본드핑거를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩의 외주연인 회로기판 상면에 대략 상기 도전성와이어의 루프 높이보다 높게 형성된 맴과; 상기 반도체칩으로 외부의 빛이 수광될 수 있도록 상기 맴의 상면에 접착된 글래스와; 상기 회로기판 하면의 랜드에 형성된 도전성볼로 이루어진 반도체패키지에 있어서, 상기 회로기판의 본드핑거 외주연에는 다수의 링이 일정 간격을 두고 형성되어 있고, 상기 링의 상면 일정 영역을 포함하여 상기 맴이 형성된 것을 특징으로 한다.

여기서, 상기 회로기판의 본드핑거 외주연에는 커버코트가 코팅되어 있고, 상기 커버코트 상에 다수의 링

이 형성될 수 있다.

또한, 상기 비마홀은 상기 맴과 일정 거리 미격된 안쪽에 형성되어, 상기 맴의 저면인 수지층 상면에는 회로패턴이 형성되지 않음이 바람직하다.

또한, 상기 맴과 접촉하는 링의 안쪽과 본드핑거 사이에는 상기 링과 일정 거리 미격되어 제3링이 더 형성될 수 있다.

상기 링 또는 제3링은 세라믹, 수지류 또는 금속류 중 어느 하나로 형성될이 바람직하다.

상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 회로기판의 본드핑거 외주연에 다수의 링이 형성되고, 상기 링의 일정 영역을 포함하여 상기 링 사이에 봉지재로 맴을 형성함으로써 볼드 플래시에 의해 상기 본드핑거가 오염될 확률이 잠아지게 된다. 또한 상기 링의 안쪽에 일정거리 미격되어 제3링을 더 형성했을 경우에는 상기 볼드 플래시에 의한 본드핑거의 오염문제는 최소화된다.

또한, 상기 맴의 저면인 커버코트와 수지층 사이에 회로패턴을 형성하지 않고 우회시켰을 경우에는 금형의 접촉 압력에 의해 증래와 같은 회로패턴의 소트나 단락 문제를 고려하지 않아도 된다.

더구나, 상기 맴이 형성되는 영역에 커버코트를 오픈시켜 상기 맴이 수지층 상면에 직접 접촉되도록 함으로써 그 접착력을 향상시킬 수 있게 된다.

미하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도2a 및 도2b는 본 발명에 의한 반도체패키지(100,101)를 도시한 단면도이다.

먼저 도2a에 도시된 반도체패키지(100)는 일면에 다수의 입출력패드(2a)가 형성된 반도체칩(2)과, 상기 반도체칩(2)의 저면에 접착제로 접착되어 있고, 수지층(11)을 중심으로 상면에는 다수의 본드핑거(12)를 포함하는 회로패턴이 형성되어 있고, 저면에는 다수의 랜드(13)를 포함하는 회로패턴이 형성되어 있으며, 상기 상, 하면의 회로패턴은 도전성 비마홀(14)로 상호 연결되고, 상기 본드핑거(12) 및 랜드(13)를 제외한 회로패턴 전체는 커버코트(15)로 코팅된 회로기판(10)과, 상기 반도체칩(2)의 입출력패드(2a)와 상기 회로기판(10)의 본드핑거(12)를 전기적으로 접속하는 도전성와이어(20)와, 상기 반도체칩(2)의 외주연인 회로기판(10)의 상면에 대략 상기 도전성와이어(20)의 브루 높이보다 높게 형성된 맴(30)과, 상기 반도체칩(2)으로 외부의 빛이 수광될 수 있도록 상기 맴(30)의 상면에 접착된 클래스(40)와, 상기 회로기판(10) 하면의 랜드(13)에 형성된 도전성봉(60)로 이루어져 있으며, 이러한 구조는 증래와 동일하다.

다만 본 발명은 상기 회로기판(10)의 본드핑거(12) 외주연인 커버코트(15) 상면에 다수의 링(50,51)이 일정 간격을 두고 형성되어 있고, 상기 링(50,51)의 상면 일정 영역을 포함하여 상기 링(50,51) 사이에 봉지재로 맴(30)이 형성된 것이 특징이다.

또한, 상기 다수의 링(50,51) 내측과 본드핑거(12) 사이에는 상기 링(51) 및 본드핑거(12)와 일정 거리 미격되어 제3링(53)이 더 형성됨으로써 봉지재로 맴(30) 형성시에 볼드 플래시로부터 본드핑거(12)의 오염을 억제할 수 있도록 되어 있다.

즉, 봉지재로 맴(30) 형성시에 상기 다수의 링(50,51)에 의해 1차적으로 볼드 플래시의 흐름을 억제하고, 더불어 상기 제3링(53)에 의해 2차적으로 볼드 플래시의 흐름을 억제하게 되어 본드핑거(12)의 오염 문제를 해결하게 되는 것이다.

한편, 도2b의 반도체패키지(101)를 참조하면, 맴(30), 다수의 링(50,51) 및 제3링(53) 저면에는 어떠한 회로패턴도 형성되어 있지 않을 뿐만 아니라 커버코트(15)도 모두 오픈되어 있다. 따라서 상기 다수의 링(50,51) 및 제3링(53)은 상기 수지층(11) 상면에 직접 형성되어 있을 뿐만 아니라, 맴(30) 역시 상기 수지층(11)에 직접 형성됨으로써 그 접착력이 향상된다.

또한, 상기 맴(30), 링(50,51) 및 제3링(53) 저면의 수지층(11)은 증래보다 더욱 평평한 면을 형성함으로써 금형과 강하게 밀착 가능하고 따라서 볼드 플래시가 증래보다 적게 발생한다. 더욱이, 금형과 접촉하는 회로기판(10)의 상면에는 어떠한 회로패턴도 형성되어 있지 않음으로써 금형과의 과도한 밀착에 의해 발생하던 회로패턴의 소트 또는 단락 문제를 고려하지 않아도 된다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기 예만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

본명의 효과

따라서 본 발명에 의한 반도체패키지에 의하면, 회로기판의 본드핑거 외주연에 다수의 링이 형성되고, 상기 링의 일정 영역을 포함하여 상기 링 사이에 봉지재로 맴을 형성함으로써 볼드 플래시에 의해 상기 본드핑거가 오염될 확률이 잠아지게 된다. 또한 상기 링의 안쪽에 일정거리 미격되어 제3링을 더 형성했을 경우에는 상기 볼드 플래시에 의한 본드핑거의 오염문제는 최소화되는 효과가 있다.

또한, 상기 맴의 저면인 커버코트와 수지층 사이에 회로패턴을 형성하지 않고 우회시켰을 경우에는 금형의 접촉 압력에 의해 증래와 같은 회로패턴의 소트나 단락 문제를 고려하지 않아도 된다.

더구나, 상기 맴이 형성되는 영역에 커버코트를 오픈시켜 상기 맴이 수지층 상면에 직접 접착되도록 함으로써 그 접착력을 향상시킬 수 있다.

(57) 첨구의 설명

첨구항 1

일면에 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착되어 있어, 수지

층을 중심으로 상면에는 다수의 본드핑거를 포함하는 회로패턴이 형성되어 있고, 저면에는 다수의 랜드를 포함하는 회로패턴이 형성되어 있으며, 상기 상, 하면의 회로패턴은 도전성 비아홀로 상호 연결된 회로기판과; 상기 반도체체의 입출력패드와 상기 회로기판의 본드핑거들 전기적으로 접속하는 도전성와이어와; 상기 반도체체의 외주연의 회로기판 상면에 마련 상기 도전성와이어의 루프 높이보다 높게 형성된 맴과; 상기 반도체체으로 외부의 빛이 수광할 수 있도록 상기 맴의 상면에 접착된 글래스와; 상기 회로기판 하면의 랜드에 형성된 도전성볼로 이루어진 반도체패키지에 있어서,

상기 회로기판의 본드핑거 외주연에는 다수의 링이 일정 간격을 두고 형성되어 있고, 상기 링의 상면 일정 영역을 포함하여 상기 링 사이에 맴이 형성된 것을 특징으로 하는 반도체패키지.

청구항 2

제1항에 있어서, 상기 회로기판의 본드핑거 외주연에는 커버코트가 코팅되어 있고, 상기 커버코트 상에 다수의 링이 형성된 것을 특징으로 하는 반도체패키지.

청구항 3

제1항에 있어서, 상기 비아홀은 상기 맴과 일정 거리 미격된 안쪽에 형성되어, 상기 맴의 저면인 수지층 상면에는 회로패턴이 형성되지 않은 것을 특징으로 하는 반도체패키지.

청구항 4

제1항 내지 제3항중 어느 한 항에 있어서, 상기 맴과 접속하는 링의 안쪽과 본드핑거 사이에는 상기 링과 일정 거리 미격되어 제3링이 더 형성된 것을 특징으로 하는 반도체패키지.

청구항 5

제1항 내지 제3항중 어느 한 항에 있어서, 상기 링은 세라믹, 수지류 또는 금속류 중 어느 하나로 형성된 것을 특징으로 하는 반도체패키지.

청구항 6

제4항에 있어서, 상기 제3링은 세라믹, 수지류 또는 금속류 중 어느 하나로 형성된 것을 특징으로 하는 반도체패키지.

도면

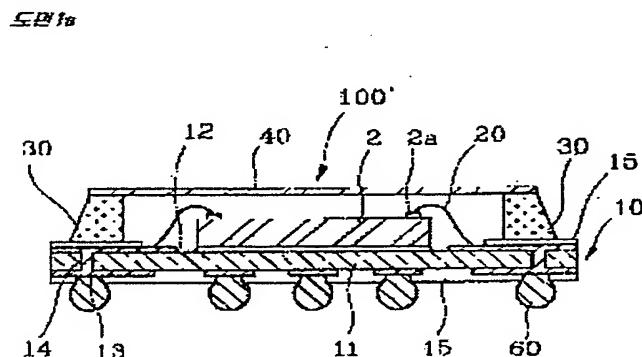


FIG1b

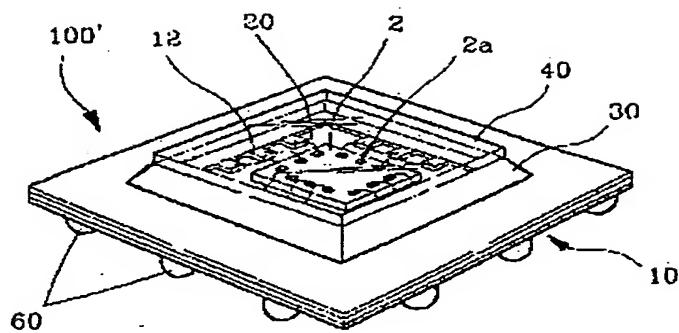


FIG2a

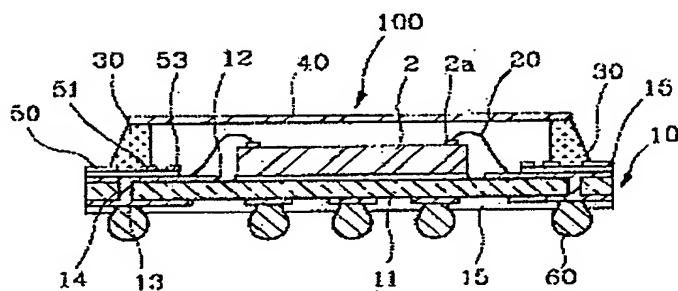
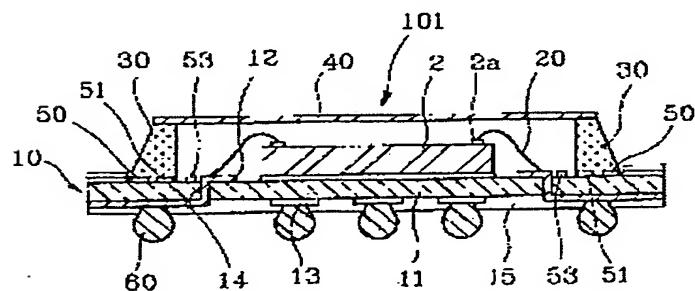


FIG2b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.